

BIAS CIRCUIT FOR TRANSISTOR POWER AMPLIFIER

Patent Number: JP6013816
Publication date: 1994-01-21
Inventor(s): MINAMI SHOGO
Applicant(s): NEC CORP
Requested Patent: ☒ JP6013816
Application Number: JP19920170576 19920629
Priority Number(s):
IPC Classification: H03F1/00; H03K17/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a bias circuit for transistor power amplifier which reduces the ripple type impact given to a power line when the output is discontinued for maintenance, etc.

CONSTITUTION: A transistor power amplifier 1 contains a transistor power amplifier 5 and a bias circuit 11. The circuit 11 contains a bias changeover switch 13 which selectively outputs the bias voltage that cuts off the amplifier 5 or the bias voltage that secures the normal operation of the amplifier 5 and a time constant circuit 15 which smoothly changes the output signal received from the switch 13 and supplies it to the amplifier 5. When the output of the amplifier 5 is going to be discontinued for maintenance, etc., the bias voltage is gradually changed by the circuit 15 even if the transmission/cut-off changeover is carried out by the switch 13. Thus the output of the amplifier 5 is also gradually changed.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-13816

(43) 公開日 平成6年(1994)1月21日

(51) Int. Cl.⁶

H 0 3 F 1/00

H 0 3 K 17/00

識別記号

C 7350-5 J

B 9184-5 J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号 特願平4-170576

(22) 出願日 平成4年(1992)6月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 南 省吾

東京都港区芝五丁目7番1号 日本電気株式会社内

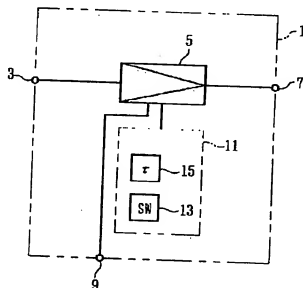
(74) 代理人 弁理士 山内 梅雄

(54) 【発明の名称】 トランジスタ電力増幅器のバイアス回路

(57) 【要約】

【目的】 保守等で出力を停止するときの電源ラインへのリップル状の衝撃を緩和させたトランジスタ電力増幅器のバイアス回路を提供すること。

【構成】 トランジスタ電力増幅器1は、トランジスタ電力増幅器5と、バイアス回路11とを備えている。バイアス回路11は、トランジスタ電力増幅器5を遮断させるバイアス電圧あるいは正常動作させるバイアス電圧の内の一つを選択して出力できるバイアス切替えスイッチ13と、このバイアス切替えスイッチ13からの出力信号をなめらかに変化させてトランジスタ電力増幅器5に供給できる時定数回路15とからなる。本発明は、保守等でトランジスタ電力増幅器5の出力を停止しようとするときに、バイアス切替えスイッチ13による送信、遮断の切替えがあっても、その変化点で時定数回路15によりバイアス電圧を徐々に変化させ、トランジスタ電力増幅器5の出力も徐々に変化させている。



1

【特許請求の範囲】

【請求項1】 トランジスタで構成したトランジスタ電力増幅器にバイアス電圧を与えるバイアス回路において、

前記トランジスタ電力増幅器を遮断させるバイアス電圧あるいは正常動作させるバイアス電圧を切り替えて出力できるバイアス切替スイッチと、
前記スイッチの出力信号をなめらかに変化させて前記トランジスタ電力増幅器に供給できる時定数回路とを備えたことを特徴とするトランジスタ電力増幅器のバイアス回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、トランジスタで構成した電力増幅器にバイアス電圧を与えるトランジスタ電力増幅器のバイアス回路に関する。

【0002】

【従来の技術】 この種のトランジスタ電力増幅器は、例えば無線送受信装置の送信出力部に使用されており、最近ではFETで構成されたものが提供されている。

【0003】 図4は、従来の送信出力部の例を示すブロック図である。この図に示すように、無線送受信装置の送信出力部101は、信号入力端子103、FETで構成されたトランジスタ電力増幅器105、信号出力端子107、電源入力端子109、バイアス回路111、電源遮断スイッチ113を備えている。

【0004】 信号入力端子103に入力された信号は、トランジスタ電力増幅器105にて送信出力レベルまで増幅され、信号出力端子107へ供給される。このトランジスタ電力増幅器105は、バイアス回路111からのバイアス電圧で電力増幅動作をしている。

【0005】 このような送信出力部101において、装置の保守作業等で送信出力を停止する場合は、トランジスタ電力増幅器105の電源を電源遮断スイッチ113で直接遮断していた。

【0006】

【発明が解決しようとする課題】 このような従来の送信出力部101においては、電源遮断スイッチ113のオンまたはオフさせたときに、装置の電源ラインに流れる電流値が急激に、しかも大きく変化するため、電源ラインに大きなリップルが発生し、装置内の他の回路の動作に重大な影響を及ぼしていた。

【0007】 このような影響を軽減するためには、電源装置の負荷変動耐力を強化させるか、あるいは装置内の他の回路の各電源入力部に強力な平滑回路を使用する必要があった。したがって、どちらの処置を行なにしても、部品点数が増大し、かつ高価で、しかも寸法の大きな部品を使用しなければならぬという欠点があった。

【0008】 本発明は、上述した欠点を解消し、保守等で出力を停止するときの電源ラインへのリップル状の衝

2

撃を緩和させたトランジスタ電力増幅器のバイアス回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 上述した目的を達成するために、本発明のトランジスタ電力増幅器のバイアス回路は、トランジスタで構成したトランジスタ電力増幅器にバイアス電圧を与えるバイアス回路において、トランジスタ電力増幅器を遮断させるバイアス電圧あるいは正常動作させるバイアス電圧を切り替えて出力できるバイアス切替スイッチと、スイッチの出力信号をなめらかに変化させてトランジスタ電力増幅器に供給できる時定数回路とを備えたことを特徴とするものである。

【0010】 本発明は、保守等でトランジスタ電力増幅器からの出力を停止しようとするときに、バイアス切替スイッチによる送信、遮断の切替えがあっても、その変化点で時定数回路によりバイアス電圧を徐々に変化させるようにしたことにより、トランジスタ電力増幅器の出力も徐々に変化させるようにしているので、電源ラインに対して急激な変化を与えることがない。

【0011】

【実施例】 以下実施例につき本発明を詳細に説明する。

【0012】 図1は、本発明のトランジスタ電力増幅器のバイアス回路の実施例を示すブロック図である。

【0013】 図1では、例えば無線送受信装置の送信出力部1は、信号入力端子3と、FETで構成されたトランジスタ電力増幅器5と、信号出力端子7と、電源入力端子9と、バイアス回路11とを備えている。また、バイアス回路11は、トランジスタ電力増幅器5に与えるバイアス電圧を正常値あるいは出力遮断値に切り替えるバイアス切替スイッチ13と、このバイアス切替スイッチ13で切り替えられたバイアス電圧の立ち上がり、または立ち下がりの変化を緩やかにしてトランジスタ電力増幅器5の電力増幅用のFETのゲートに供給する時定数回路15とからなる。

【0014】 ここで、信号入力端子3に入力された信号は、トランジスタ電力増幅器5に導入されるようにしてある。トランジスタ電力増幅器5は、信号を送信出力レベルまで増幅した後、信号出力端子7へ与えるようにしてある。このトランジスタ電力増幅器5は、バイアス回路11からのバイアス電圧で電力増幅動作をし、または送信出力を遮断するようになっている。

【0015】 図2は、本発明の実施例で使用するバイアス回路11の具体例を示す回路図である。

【0016】 図2では、電源ラインV_{DD}とアースとの間に、抵抗R_a、可変抵抗VR、抵抗R_bの直列列が接続されている。可変抵抗VRの可変端子から取り出したバイアス電圧は、バイアス切替スイッチ13の一端に接続されている。また、バイアス切替スイッチ13の他端子はアースに接続されている。このバイアス切替スイッチ13の出力端は、時定数回路15の入力端子に接続

されている。時定数回路15は、抵抗RcとコンデンサCとで構成した積分回路からなる。その入力端子は、抵抗Rcを介してコンデンサCの一端に接続され、コンデンサCの另一端から出力バイアス電圧を得て、トランジスタ電力増幅器5の電力増幅用のFETのゲートに印加している。

【0017】このような実施例の作用を以下に説明する。

【0018】図3は、本発明の実施例の作用を説明するためのタイムチャートであり、同図(a)がゲート電圧Vgの変化を、同図(b)が送信出力Poの変化を、それぞれ示すものである。

【0019】バイアス切替スイッチ13がオフの状態では、図3に示すように、トランジスタ電力増幅器5が正常に動作しているとき(時刻t₁以前)、抵抗Ra、可変抵抗VR、抵抗Rbでトランジスタ電力増幅器5のバイアス電圧Vgは最適値Vbsに設定されており、送信出力Poも正常値Psになっている。

【0020】ここで、図3に示すように、トランジスタ電力増幅器5からの送信を停止するために、バイアス切替スイッチ13をオンとする(時刻t₁)。これにより、バイアス切替スイッチ13から出力されるバイアス電圧は、直ちに送信出力断の値(アース電位)に落ちる。しかしながら、時定数回路15から出力されるバイアス電圧Vgは、時刻t₁〜t₂に渡り送信出力断の電圧Vctに向けて徐々に低下する電圧となる。したがって、トランジスタ電力増幅器5の送信出力Poも正常値Psから徐々に小さくなる。そして、時刻t₂〜t₃までは送信出力Poは出力遮断状態CTにある。

【0021】そして、時刻t₃でバイアス切替スイッチ13がオフになると、バイアス切替スイッチ13から出力されるバイアス電圧は直ちに正常時の値になる。しかしながら、このバイアス電圧が時定数回路15に入力されると、時定数回路15から出力されるバイアス電圧Vgは、時刻t₃〜t₄に渡って徐々に増加して正常値Vbsに近づく電圧となる。したがって、トランジスタ電力増幅器5の送信出力Poも出力遮断状態CTから正

常値Psに徐々に近づくものとなる。そして、時刻t₄以降は正常値Psで送信出力されることになる。

【0022】このように上述した実施例では、バイアス切替スイッチ13による送信、遮断の切替があっても、その変化点で時定数回路15によりバイアス電圧Vgを徐々に変化させるようにしているので、電線ラインに対して急激な変化を与えることがない。したがって、本実施例によれば、部品点数の増大がなく、高価で、しかも寸法の大きな部品を使用することがなく、電線ラインへの影響を軽減することができる。

【0023】

【発明の効果】以上説明したように本発明によれば、トランジスタ電力増幅器の出力電力を遮断させるバイアス電圧、あるいはその電力を出力させるバイアス電圧を与えたときに、その電圧の変化を時定数回路で滑らかにすることにより、装填の保守等におけるトランジスタ電力増幅器のオンオフを滑らかにし、電線ラインへの影響を軽減することができる効果がある。

【図面の簡単な説明】

【図1】本発明のトランジスタ電力増幅器の実施例を示すブロック図である。

【図2】本発明の実施例で使用するバイアス回路の構成例を示す回路図である。

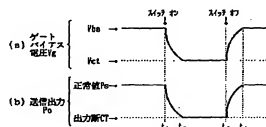
【図3】本発明の実施例を説明するためのタイムチャートである。

【図4】従来のトランジスタ電力増幅器の例を示すブロック図である。

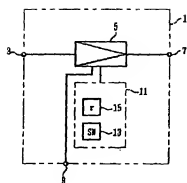
【符号の説明】

- 1 送信出力部
- 3 信号入力端子
- 5 トランジスタ電力増幅器
- 7 信号出力端子
- 9 電源入力端子
- 11 バイアス回路
- 13 バイアス切替スイッチ
- 15 時定数回路

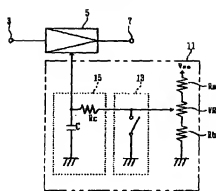
【図3】



【図1】



【図2】



【図4】

